

АРХИТЕКТУРНЫЕ РЕШЕНИЯ В ПРОЕКТИРОВАНИИ СИНТЕЗАТОРОВ ЧАСТОТ СВЧ С ФАЗОВОЙ АВТОПОДСТРОЙКОЙ ЧАСТОТЫ

DOI: 10.36724/2072-8735-2020-14-10-17-25

Manuscript received 22 July 2020;
Accepted 07 September 2020

Ченакин Александр Витальевич,
"Анритсу", г. Морган Хил, США,
achenakin@hotmail.com

Кочемасов Виктор Неофидович,
ООО "Радиокомп", Москва, Россия,
vkochemasov@radiocomp.ru

Ключевые слова: синтезатор частот, фазовая автоподстройка частоты, фазовые шумы, побочные спектральные составляющие, скорость переключения частоты, цифровой вычислительный синтезатор

Для обеспечения высоких характеристик современных систем связи, измерительного оборудования и других электронных систем синтезаторы частот (как основной блок многих электронных устройств) должны удовлетворять определенным требованиям, наиболее важными из которых являются спектральная чистота генерируемого сигнала (низкие фазовые шумы и побочные спектральные составляющие – ПСС), высокая скорость переключения частоты и частотное разрешение (малый шаг сетки частот). Также важны малое потребление энергии, малые размеры и вес, низкая стоимость. Поэтому главной задачей для разработчиков таких систем является поиск путей для максимально возможного выполнения этих требований. Рассматриваются различные архитектурные решения, применимые при построении синтезаторов частот на основе фазовой автоподстройки частоты (ФАПЧ).

Информация об авторах:

Ченакин Александр Витальевич, к.т.н., директор по науке компании "Анритсу", г. Морган Хил, США.
Кочемасов Виктор Неофидович, к.т.н., генеральный директор ООО "Радиокомп", Москва, Россия

Для цитирования:

Ченакин А.В., Кочемасов В.Н. Архитектурные решения в проектировании синтезаторов частот СВЧ с фазовой автоподстройкой частоты // Т-Comm: Телекоммуникации и транспорт. 2020. Том 14. №10. С. 17-25.

For citation:

Chenakin A.V., Kochemasov V.N. (2020) Architecture solutions for designing of microwave frequency synthesizers based on phased locked loop. *T-Comm*, vol. 14, no.10, pp. 17-25. (in Russian)

Введение

Синтезатор частот (СЧ) – это устройство, которое преобразует входной сигнал (или несколько входных сигналов) определённой, опорной частоты в выходной сигнал (или несколько выходных сигналов) в требуемом частотном диапазоне. Традиционно синтезаторы подразделяют на две основные группы (рис. 1), основанные на прямом и косвенном методах синтеза частот [1].

В свою очередь, практическая реализация СЧ может быть выполнена с помощью аналоговых и цифровых методов. Однако, как правило, используются комбинированные (гибридные) решения, в которых используют как аналоговые, так и цифровые элементы [1-12].

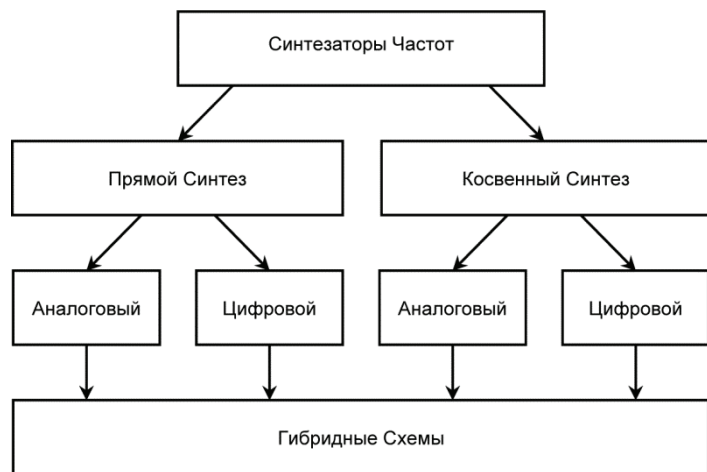


Рис. 1. Классификация синтезаторов частот

Прямые аналоговые синтезаторы реализуются путем преобразования базовых опорных сигналов на фиксированных частотах с их последующей фильтрацией. Базовые сигналы могут быть получены на основе низкочастотных (кварцевые, ПАВ) или высокочастотных (диэлектрический) автогенераторов посредством умножения, деления или преобразования частот.

В отличие от традиционных аналоговых решений, цифровые вычислительные синтезаторы (ЦВС) используют цифровую обработку для конструирования требуемой формы выходного сигнала из входного тактового сигнала. Косвенный синтез подразумевает генерацию сигнала непосредственно в СВЧ диапазоне с помощью дополнительного стабилизируемого генератора, частота которого определяется частотой опорного генератора с помощью фазовой автоподстройки частоты (ФАПЧ).

ФАПЧ с целочисленным коэффициентом деления

Типичный однокольцевой синтезатор с ФАПЧ включает в себя перестраиваемый генератор, управляемый напряжением (ГУН), сигнал которого после требуемого деления по частоте доставляется ко входу фазового детектора (ФД), как показано на рис. 2.

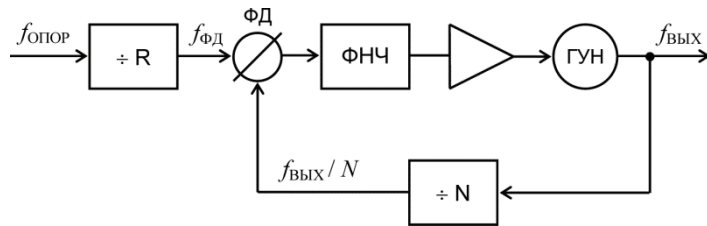


Рис. 2. Синтезатор на основе ФАПЧ

Другой вход фазового детектора подключен к источнику опорного сигнала, частота которого после необходимого деления приводится к частоте, равной требуемому частотному шагу. Фазовый детектор сравнивает фазы сигналов на обоих входах и генерирует сигнал ошибки, который после фильтрации и усиления (при необходимости) подстраивает частоту ГУН к:

$$f_{\text{ВЫХ}} = f_{\text{ФД}} \times N,$$

где $f_{\text{ФД}}$ – частота сигнала на входе фазового детектора, а N – коэффициент деления в кольце ФАПЧ. Главными преимуществами схем на основе ФАПЧ являются более чистый спектр выходного сигнала, обусловленный эффективными фильтрационными свойствами ФАПЧ, и значительно меньшая сложность устройства по сравнению с прямыми аналоговыми синтезаторами. Основной недостаток – большее время перестройки (из-за инерционности системы автоподстройки) и значительно более высокий уровень фазового шума по сравнению с аналоговыми схемами. Фазовый шум синтезатора в пределах полосы пропускания фильтра ФАПЧ равен:

$$S_{\text{ВЫХ}} = S_{\text{ФД}} + 20 \lg N,$$

где $S_{\text{ФД}}$ – суммарный уровень фазовых шумов опорного сигнала, фазового детектора и частотных делителей, пересчитанный ко входу фазового детектора. За пределами полосы пропускания фильтра ФАПЧ доминируют шумы ГУН, как это показано на рис. 3.

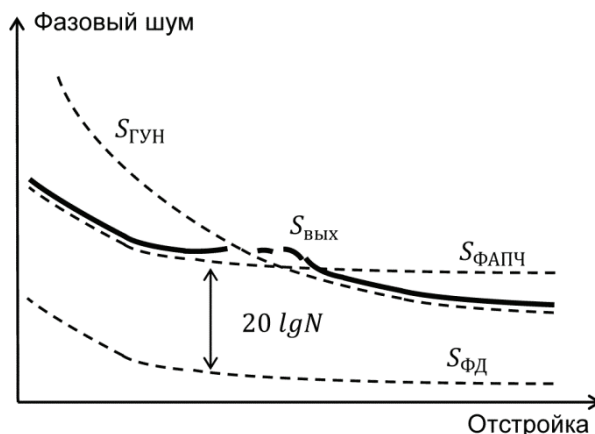


Рис. 3. Профиль фазового шума на выходе синтезатора частот с ФАПЧ

Допустим, что нам требуется сформировать сигнал в районе 10 ГГц с шагом 1 МГц (что соответствует частоте сравнения ФД). При этом коэффициент деления в кольце ФАПЧ должен быть равен 10000, что соответствует увеличению фазового шума на 80 дБ. При дальнейшем уменьшении частотного шага (и увеличении коэффициента деления в кольце ФАПЧ) фазовые шумы будут ухудшаться. Кроме того, при уменьшении частотного шага требуется уменьшение полосы пропускания фильтра ФАПЧ, что приводит к соответствующему увеличению времени перестройки (или к увеличению ПСС при недостаточном уменьшении полосы ФАПЧ). Таким образом, уменьшение частоты сравнения ФД ведет к ухудшению основных параметров СЧ, а именно: ухудшению фазовых шумов, ПСС и времени перестройки. И, наоборот, увеличение частоты сравнения ФД (тем или иным способом) приведет к уменьшению коэффициента деления в кольце ФАПЧ и улучшению практически всех характеристик СЧ.

ФАПЧ с дробным коэффициентом деления

В простейшей целочисленной ФАПЧ, рассмотренной выше, предполагалось использование целочисленных коэффициентов деления. Например, если нам нужно синтезировать несколько частот в районе 10 ГГц с шагом 1 МГц, частота фазового детектора также должна равняться 1 МГц, а коэффициенты деления будут порядка 10000 (10001, 10002, 10003 и т.д.). Заметим, что те же частоты можно получить, используя более высокую частоту сравнения (например, 10 МГц), если использовать дробные коэффициенты деления, а именно: $1000+0/10$, $1000+1/10$, $1000+2/10$ и т.д. Это позволяет уменьшить коэффициенты деления в кольце ФАПЧ примерно в 10 раз, что – как было отмечено выше – благоприятно сказывается практически на всех параметрах такого СЧ.

Реализовать дробные коэффициенты деления можно, переключая выходы делителей с разными коэффициентами деления (как это упрощенно показано на рис. 4) и усредняя выходную частоту. Рассмотрим процесс усреднения подробнее. Подсчитаем количество импульсов на выходе такого составного делителя за какой-то определенный промежуток времени, например, 1 сек. Предположим, что входная частота, тактирующая делители, равна 60 МГц, а каждый делитель формирует выходные импульсы в течении 0,5 сек. То есть сигнал сначала делится на 2, формируя 30 млн. / 2 = 15 млн. импульсов в течении первых 0,5 сек. Затем подключается второй делитель, который формирует 30 млн. / 3 = 10 млн. импульсов в течении следующих 0,5 сек. Таким образом, на выходе составного делителя формируются 25 млн. импульсов в течении 1 сек., что соответствует делению входной частоты на 2,4. Другие дробные коэффициенты деления могут быть получены, изменяя соотношение времени включения целочисленных делителей.

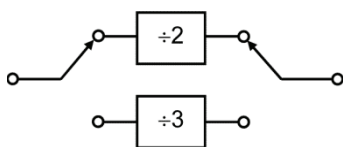


Рис. 4. Концепция получения дробного коэффициента деления

В общем случае суть дробного деления частоты заключается в изменении коэффициента деления в процессе работы делителя по определенной программе. Обычно это изменение состоит из чередования двух коэффициентов: N и $N+1$. Возможно использование и других, более сложных комбинаций коэффициентов, включающих более широкий спектр их значений. На рисунке 5 приведена структурная схема СЧ с дробным делителем в кольце ФАПЧ. Делитель включает в себя собственно делитель с переключаемыми коэффициентами деления N и $N+1$, а также фазовый аккумулятор, тактируемый с выхода делителя. Аккумулятор управляется внешним управляющим сигналом и в свою очередь генерирует сигнал переключения коэффициентов деления.

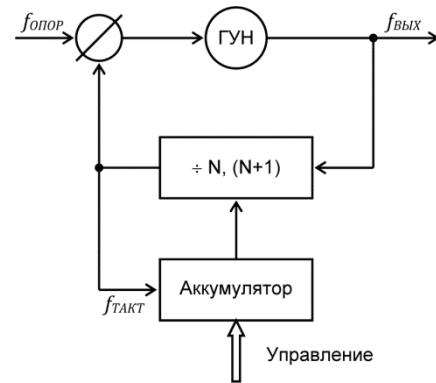


Рис. 5. Дробный делитель в кольце ФАПЧ

Предположим, что длина аккумулятора составляет K бит (т.е. аккумулятор может обработать 2^K тактовых импульсов). Также предположим, что аккумулятор переключает делитель таким образом, что его коэффициент деления составляет $N+1$ в течении первых M импульсов на выходе делителя и, соответственно, N в течении последующих $(2^K - M)$ импульсов, как это проиллюстрировано на рис. 6. Очевидно, чтобы сгенерировать 2^K выходных импульсов, на вход делителя должно поступить $N_{вх} = M(N+1) + (2^K - M)N$ тактирующих импульсов, а суммарный коэффициент деления будет выражаться следующей формулой:

$$N_{\text{ДРОБ}} = \frac{N_{\text{ВХ}}}{N_{\text{ВЫХ}}} = \frac{M(N+1) + (2^K - M)N}{2^K} = \frac{M + 2^K \cdot N}{2^K} = N + \frac{M}{2^K}$$

Конкретное значение коэффициента деления задается управляющим сигналом аккумулятора, а разрешение по частоте будет определяться следующей формулой:

$$f_{\text{РАЗР}} = \frac{f_{\text{ТАКТ}}}{2^K}$$

Например, для 10-битного аккумулятора и тактовой частоты 10 МГц разрешение по частоте будет составлять около 9,766 кГц.

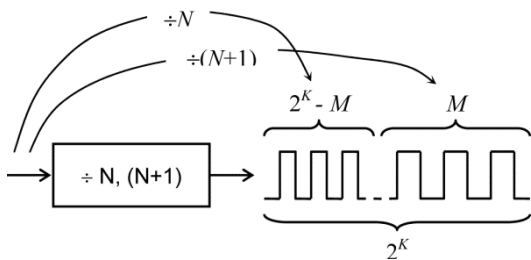


Рис. 6. Последовательность импульсов на выходе делителя

Основной проблемой простейшего дробного делителя являются повышенные значения ПСС, генерируемые в момент переключения коэффициентов деления. В это время происходит скачок фазы, приводящий к скачку напряжения на выходе делителя. Заметим, что данный скачок напряжения строго определен во времени, поэтому, его можно в некоторой степени скомпенсировать, сформировав сигнал в противофазе с помощью цифро-аналогового преобразователя (ЦАП). Однако, полностью подавить скачок напряжения таким способом весьма затруднительно. Другим способом снижения ПСС является использование большего числа коэффициентов деления, что ведет к большему числу продуктов ПСС, однако меньшей амплитуды.

В дополнение к этому переключение частот можно осуществлять квазислучайным способом с помощью $\Delta\Sigma$ -модулятора. Основная идея использования $\Delta\Sigma$ -модулятора заключается в «размазывании» продуктов ПСС в частотной области, т.е. получения шумоподобного спектра. При этом «шумы дробности» сдвигаются в область высоких отстроек, где они могут быть подавлены фильтром ФАПЧ. В целом, существует большое количество технических решений, направленных на снижение ПСС, тем не менее, данная проблема остается актуальной в простейшей однокольцевой ФАПЧ.

Частично проблема может быть решена каскадированием колец ФАПЧ, как показано на рис. 7. При этом первое кольцо ФАПЧ формирует сигнал опоры для второго кольца. Данная схема вносит дополнительную степень свободы (т.е. выходная частота может быть получена при разных комбинация коэффициентов деления в первом и втором кольцах ФАПЧ), что зачастую позволяет «обойти» проблемные точки (с точки зрения минимизации ПСС) в частотном плане такого составного СЧ.

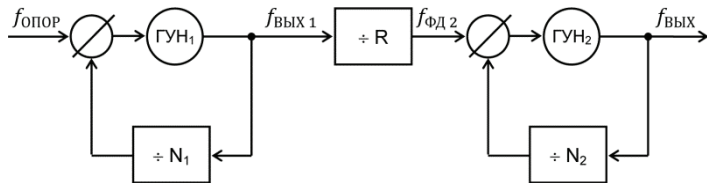


Рис. 7. Каскадирование колец ФАПЧ

Использование ЦВС

Использование ЦВС – весьма эффективное решение для получения малого частотного шага при сохранении высокой частоты сравнения ФД. ЦВС может выполнять функцию перестраиваемого опорного генератора (рис. 8) или включаться непосредственно в кольцо ФАПЧ, как показано на

рис. 9 (при этом ЦВС фактически играет роль дробного делителя частоты).

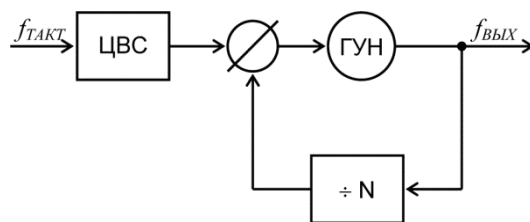


Рис. 8. Использование ЦВС в качестве генератора опорного сигнала

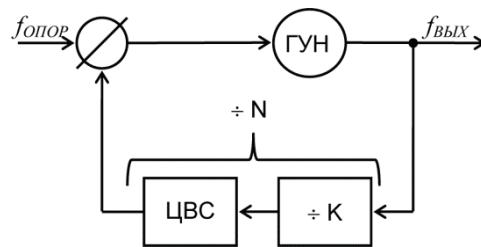


Рис. 9. Включение ЦВС в кольцо ФАПЧ

Существенным недостатком простейших схем с ЦВС является относительно высокий уровень побочных спектральных составляющих на выходе ЦВС, который, к тому же, увеличивается на $20\lg N$, где N – полный коэффициент деления в кольце обратной связи (в этом плане обе схемы, рассмотренные выше, ведут себя одинаково). Деградацию ПСС можно исключить, выводя ЦВС из кольца ФАПЧ, как это показано на рис. 10. При этом обычно используют смеситель с подавлением зеркального канала, чтобы исключить неопределенность при установлении частоты СЧ. Тем не менее, уровень ПСС, вносимый цифровым вычислительным синтезатором, остается относительно высоким.

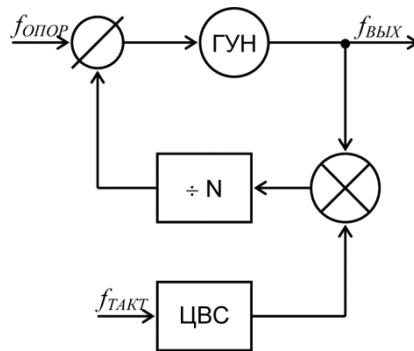


Рис. 10. Выведение ЦВС из кольца ФАПЧ

Существует много аппаратных и программных решений, направленных на улучшение спектрального состава ЦВС. Аппаратные методы обычно основаны на переносе сигнала цифрового синтезатора вверх по частоте и его последующем делении (рис. 11), что позволяет уменьшить амплитуду нежелательных спектральных продуктов на $20\lg M$ (присущее процессу деления частоты).

К сожалению, при этом также уменьшается диапазон генерируемых частот на выходе синтезатора, для расширения которого приходится увеличивать число частот гетеродина и фильтров (рис. 12) – подобно тому, как это делается в прямых аналоговых СЧ. Заметим, что M может иметь разные (программируемые) значения, что позволяет дополнительно расширить диапазон частот данной схемы.

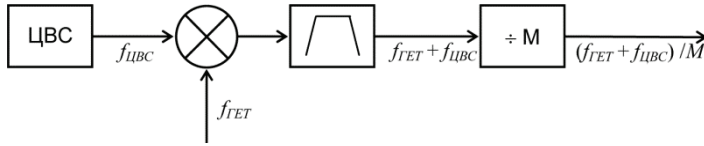


Рис. 11. Уменьшение ПСС цифрового синтезатора

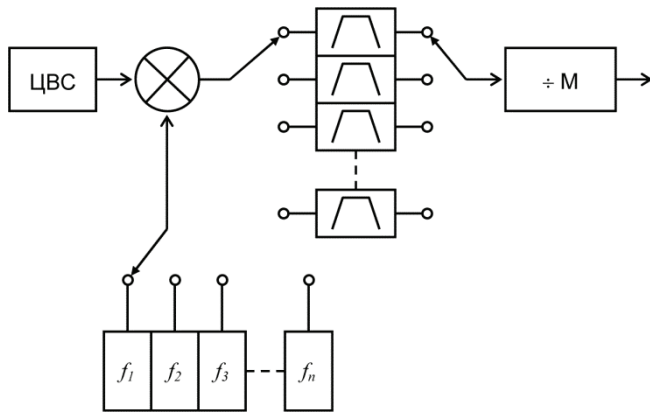


Рис. 12. Расширение частотного диапазона ЦВС

Программные методы основываются на том, что местоположение побочных спектральных составляющих частотного спектра ЦВС является функцией его входной (тактовой) и выходной частот. Таким образом, для каждой конкретной выходной частоты синтезатора ПСС могут быть сдвинуты по частоте и в дальнейшем отфильтрованы путем изменения тактовой частоты. Следует отметить, что программный метод работает достаточно эффективно для подавления искажений относительно малого порядка, так как плотность дискретных спектральных продуктов увеличивается пропорционально их порядку. Поэтому программным методом удастся отфильтровать искажения только до определенного уровня; при этом, дальнейшее снижение ПСС возможно путём комбинирования аппаратных и программных методов.

Смеситель в кольце ФАПЧ

Основные характеристики синтезатора можно значительно улучшить, введя частотное преобразование (смеситель) в цепь обратной связи (рис. 13). При этом выходной сигнал СЧ переносится вниз по частоте, что позволяет значительно уменьшить коэффициент деления цепи обратной связи. Опорный сигнал смесителя генерируется с помощью дополнительной петли ФАПЧ (многокольцевые схемы) или умножителя частоты (рис. 14).

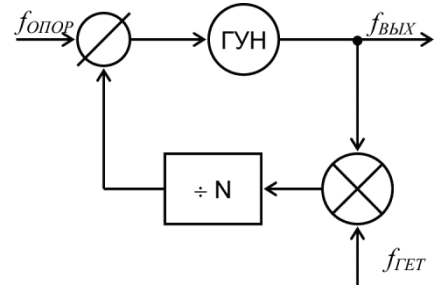


Рис. 13. Использование частотного преобразования в кольце ФАПЧ

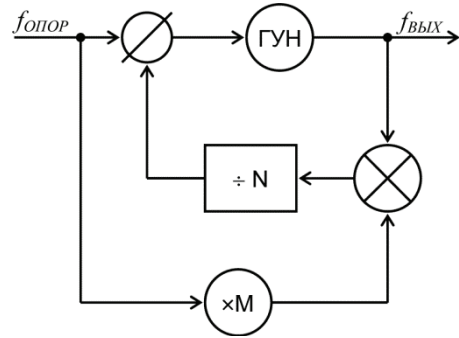


Рис. 14. Формирование частоты гетеродина из опорного сигнала

Следует отметить, что сигнал гетеродина (и его гармоники) могут проникать на выход синтезатора из-за недостаточной развязки смесителя, что требует введения дополнительных компонентов для получения требуемой развязки. Другой проблемой, связанной с применением схем, основанных на частотном преобразовании, является ложный захват частоты из-за дополнительных продуктов преобразования в смесителе, например, зеркального канала. Поэтому необходимо предварительно достаточно точно настроить частоту ГУН, например, с помощью ЦАП. Это, в свою очередь, требует исключительно высокой линейности (и повторяемости) зависимости выходной частоты ГУН от управляющего напряжения в рабочем температурном диапазоне, а также точной калибровки ГУН для компенсации температурного дрейфа данной зависимости. В связи с этим, предустановка с помощью ЦАП применяется в основном при использовании ЖИГ-генераторов.

Более надежным решением является предварительная настройка с помощью дополнительной однокольцевой ФАПЧ, как показано на рис. 15.

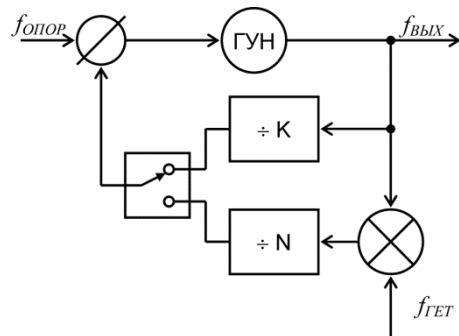


Рис. 15. Предустановка частоты с помощью дополнительного кольца ФАПЧ

В начальном состоянии ГУН включен в кольцо обычной однокольцевой ФАПЧ, которая устанавливает частоту ГУН с необходимой точностью (может использоваться дробный делитель или ЦВС). Далее ГУН переключается в нижнее кольцо, использующее смеситель. Таким образом, происходит надежный захват частоты, и исключение избыточных шумов и ПСС верхнего кольца ($N < K$).

Следует отметить, что во многих серийно выпускаемых интегральных схемах ФАПЧ со встроенным ГУН, не предусмотрено введение смесителя (т.е. выход ГУН соединен со входом делителя на N , который в свою очередь подключается ко входу фазового детектора). В этом случае возможен «переворот» смесителя (т.е. использование смесителя со стороны опорного входа), как показано на рис. 16. При этом подразумевается использование высокочастотного сигнала в качестве опорного.

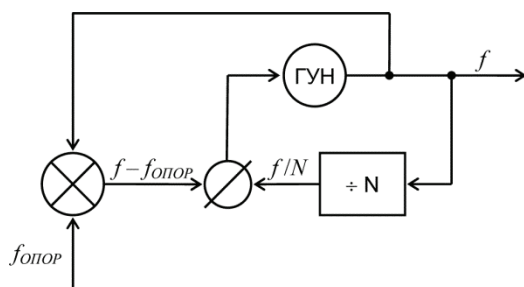


Рис. 16. Использование смесителя со стороны опорного входа ФД

Проанализируем приведенную схему. При захвате частоты будет иметь место равенство частот на входах ФД:

$$f/N = f - f_{опор}$$

Представим шумы ФД (а также шумы других компонентов, пересчитанных ко входу ФД) в виде случайного малого отклонения частоты Δf :

$$f/N \pm \Delta f = f - f_{опор}$$

После несложных преобразований, получим:

$$f = f_{опор} / (1 - 1/N) \pm \Delta f / (1 - 1/N)$$

Предположим, что выходная частота СЧ существенно превышает частоту сравнения ФД. В этом случае $N \gg 1$, а выходная частота будет определяться следующим образом:

$$f \approx f_{опор} \pm \Delta f$$

Отсюда можно сделать вывод, что при приведенных допущениях шумы ФД не умножаются, т.е. схема на рис. 16 ведет себя аналогично обычной схеме с преобразованием в кольце ФАПЧ.

Интересное решение (рис. 17), названное «self-offset loop», приведено в [13]. Легко показать, что выходная частота в данной схеме определяется следующим образом:

$$f_{ВЫХ} = f_{ОПОР} N \frac{AB}{A \pm B}$$

а сама схема представляет одну из реализаций дробного коэффициента деления в кольце ФАПЧ.

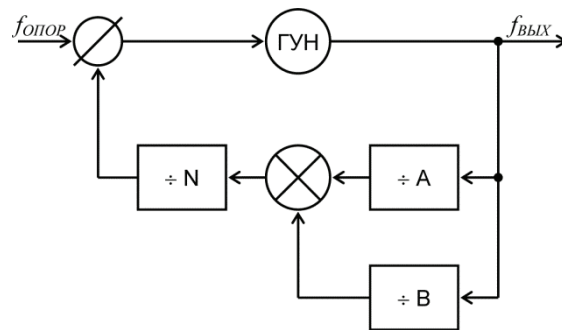


Рис. 17. Реализация дробного коэффициента деления с помощью смесителя

Многокольцевые схемы

Простейшая схема с однократным преобразованием частоты в кольце ФАПЧ при использовании фиксированной частоты гетеродина является эффективным решением, однако, используемым в относительно узком диапазоне частот. Действительно, расширение выходного диапазона частот приводит к повышению ПЧ на выходе смесителя, что требует повышения коэффициента деления в кольце ФАПЧ. Одним из решений, направленных на уменьшение коэффициента деления, является использование перестраиваемой частоты гетеродина, которая может быть получена с помощью дополнительного кольца, как это проиллюстрировано на рис. 18. Предположим, что нам нужно опять синтезировать частоты в окрестности 10 ГГц, (например, от 9 до 10 ГГц) с частотным шагом 1 МГц. В этом случае нижнее по схеме кольцо ФАПЧ обеспечивает требуемое перекрытие с частотным шагом 100 МГц (варьируя коэффициенты деления от 90 до 100), обеспечивая сигнал гетеродина для верхнего кольца. В свою очередь верхнее кольцо работает с преобразованием частоты, «заполняя» промежутки с шагом 1 МГц. При этом максимальный коэффициент деления для верхнего кольца также не превышает 100. В итоге максимальная деградация шумов не превышает 40 дБ для любого кольца (в сравнении с 80 дБ для однокольцевой ФАПЧ). Более широкое перекрытие или более мелкий частотный шаг можно получить каскадированием большего числа колец, как показано на рис. 19. Основной недостаток – относительная сложность схемы при построении широкополосных СЧ.

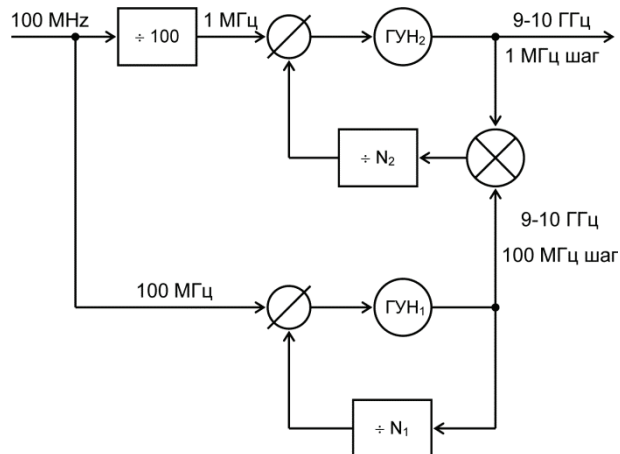


Рис. 18. Синтезатор частот с двумя кольцами ФАПЧ

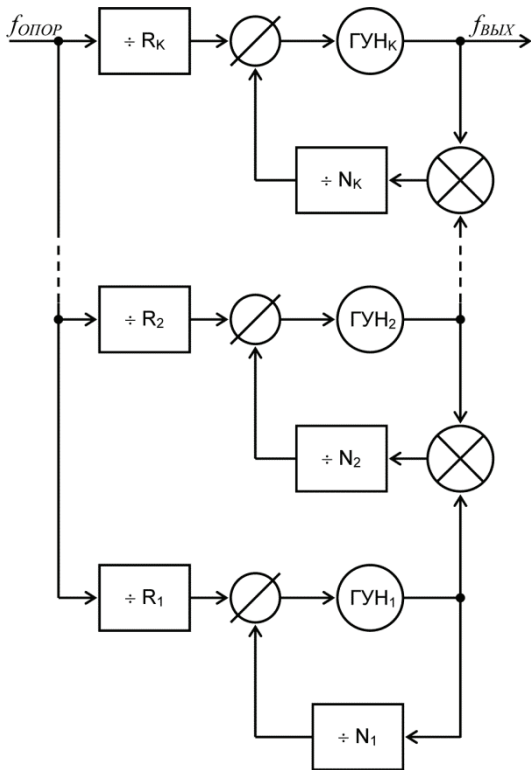


Рис. 19. Многокольцевой синтезатор частот

Множественное преобразование частоты в кольце ФАПЧ

Коэффициент деления в однокольцевом синтезаторе частот можно значительно уменьшить (вплоть до единицы, т.е. полностью исключить делитель частот) путем многократного последовательного преобразования частоты [14], как показано на рис. 20. Схема отличается относительной простотой, однако, требует формирования нескольких сигналов гетеродина. Кроме того, т.к. отношение частот на сигнальном входе и входе гетеродина каждого смесителя относительно невелико, возникает проблема фильтрации побочных продуктов преобразования смесителей. Данная проблема решается путем формирования сигналов гетеродинов и ФД из одного общего, высокочастотного опорного сигнала с помощью его последовательного деления (рис. 21).

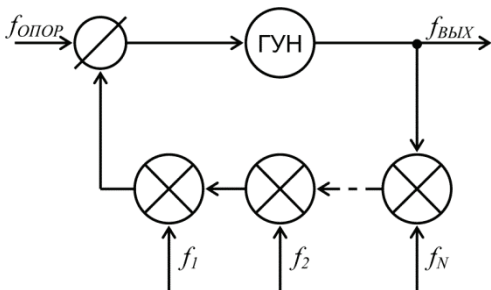


Рис. 20. Множественное преобразование в кольце ФАПЧ

Заметим, что в качестве сигналов гетеродинов могут быть также использованы гармоники, а вышеуказанная схема в общем виде будет выглядеть, как показано на рис. 22 (формирование гармоник показано введением дополнительных умножителей).

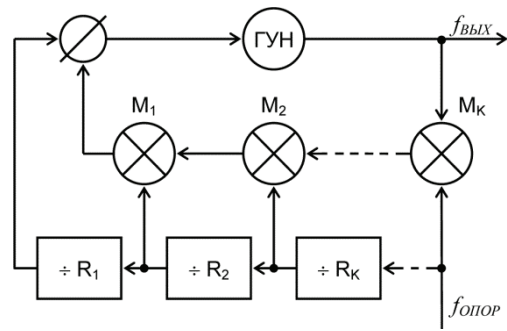


Рис. 21. Формирования сигналов гетеродинов

Остановимся подробнее на данной схеме. Предположим, что переключатель сигнала сравнения ФД находится в нижнем положении, а ГУН предварительно установлен на нужную частоту, так что происходит захват частоты в кольце с многократным преобразованием частоты.

Не трудно показать, что выходной сигнал СЧ будет определяться следующим образом:

$$f = F_0(D_1D_2...D_{i-1}D_iC_i \pm D_1D_2...D_{i-1}C_{i-1} \pm ... \pm D_1D_2C_2 \pm D_1C_1 \pm 1).$$

Так как коэффициенты деления D и умножения C – целые числа, то данное выражение можно записать в виде:

$$f = F_0 \times N,$$

где

$$N = (D_1D_2...D_{i-1}D_iC_i \pm D_1D_2...D_{i-1}C_{i-1} \pm ... \pm D_1D_2C_2 \pm D_1C_1 \pm 1)$$

– целое число.

Таким образом, необходимая частота может быть предустановлена с помощью дополнительного простейшего кольца ФАПЧ с программируемым целочисленным коэффициентом деления N . Следует отметить, что выходная частота СЧ при перезахвате не изменяется, таким образом, переходные процессы минимизируются. При этом коэффициент деления в нижнем кольце ФАПЧ равен единице (т.е. деление отсутствует).

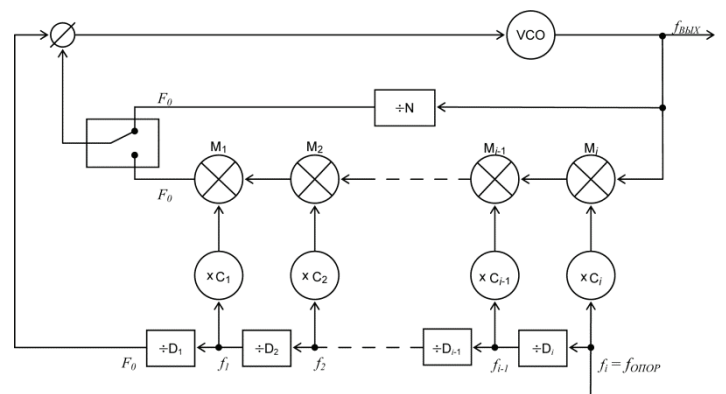


Рис. 22. Обобщенная блок-схема с многократным преобразованием частоты

Покажем также, что продукты преобразования смесителей в данной схеме не оказывают негативного влияния на выходной спектр сигнала.

В общем виде частоты продуктов преобразования высшего порядка определяются по формуле:

$$f_{CM} = \pm mf_c \pm nf_{ГЕТ},$$

которое для смесителя M_i может быть записано в виде:

$$f_{CM_i} = \pm mF_0N \pm nF_0D_1D_2...D_{i-1}D_iC_i.$$

Так как коэффициенты деления D и умножения C – целые числа, то данное выражение можно записать следующим образом:

$$f_{CM_i} = kF_0,$$

где k – целое число.

Таким образом, продукты преобразования любого смесителя являются гармониками частоты сравнения ФД и могут быть легко отфильтрованы фильтром ФАПЧ. Суммируя вышесказанное, приведенная схема обладает рядом достоинств, а именно:

- математически точная предустановка частоты с помощью простейшей однокольцевой ФАПЧ;
- минимальные время перезахвата и скачки фазы при перезахвате частоты;
- отсутствие деления в основном кольце ФАПЧ;
- высокая чистота выходного спектра сигнала благодаря эффективному подавлению продуктов преобразования смесителей (которые соответствуют гармоникам частоты сравнения ФД).

Заметим, что минимальный частотный шаг в данной схеме равен F_0 . Для уменьшения частотного шага следует использовать перестраиваемый опорный сигнал, который может быть сформирован дополнительным узкополосным кольцом ФАПЧ или с помощью прямого аналогового синтеза. При этом диапазон перестройки опорного сигнала минимален (равен F_0), что значительно упрощает построение СЧ. Также отметим, что, хотя обобщенная блок-схема на рис. 22 выглядит относительно сложной, на практике достаточно двух каскадов преобразования для получения октавного перекрытия. В целом данная схема является весьма перспективной для построения широкополосных СЧ с малым времени перестройки и высокими спектральными характеристиками.

Умножитель в петле ФАПЧ

Коэффициент деления в кольце ФАПЧ – важная характеристика, которая определяет степень ухудшения фазового шума и ПСС на входе фазового детектора при пересчете к выходной частоте ГУН. Снижение коэффициента деления (или сведение его к единице, т.е. исключение делителя из кольца ФАПЧ) – один из основных методов улучшения характеристик СЧ. Можно заметить, что с математической точки зрения возможны три случая:

$N > 1$ – фазовые шумы ухудшаются на $20 \lg N$;

$N = 1$ – фазовые шумы не изменяются;

$N < 1$ – фазовые шумы улучшаются по тому же логарифмическому закону.

Последний случай может вызвать вопрос о его физической реализации, ведь здесь необходим компонент с характеристиками, обратными делению. Легко догадаться, что такими характеристиками обладает умножитель частот, а возможная физическая реализация – введение умножителя в кольцо ФАПЧ, как это проиллюстрировано на рис. 23. В общем случае умножитель может быть включен в любой

точке кольца ФАПЧ, например, слева от смесителя (рис. 24). При этом шумы всех компонентов, стоящих слева от умножителя и пересчитанных ко входу ФД будут улучшаться на $20 \lg N$ при пересчете к выходной частоте.

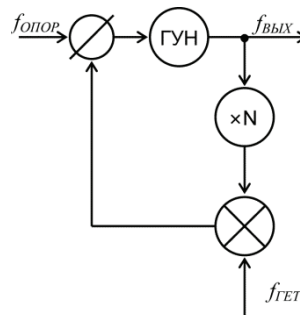


Рис. 23. Использование умножителя в кольце ФАПЧ

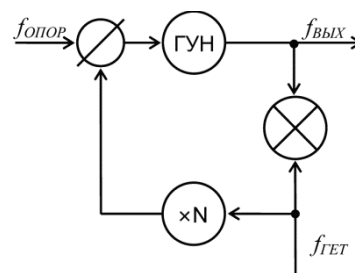


Рис. 24. Альтернативное включение умножителя в кольцо ФАПЧ

Итак, использование ФАПЧ является простым и надежным решением, используемым в синтезаторах частот СВЧ. Существует разнообразные архитектурные решения, рассмотренные выше, которые позволяют в полной мере реализовать потенциал синтезаторов частот с ФАПЧ.

Литература

1. *Chenakin A.* Frequency Synthesizers: Concept to Product, MA: Artech House, 2010.
2. *Манасевич В.* Синтезаторы частот. Теория и проектирование. Пер. с англ. под ред. А.С. Галина. М.: Связь, 1979. 384 с.
3. *Шахтарин Б.И.* и др. Синтезаторы частот: Учебное пособие. М.: Горячая линия – Телеком, 2007. 128 с.
4. *Белов Л.А.* Устройства формирования СВЧ-сигналов и их компоненты: учебное пособие. М.: Издательский дом МЭИ, 2010. 320 с.
5. *Шахильдяев В.В., Ляховкин А.А.* Системы фазовой автоподстройки частоты. М.: Связь, 1972. 448 с.
6. *Kroupa V.F.* Phase Lock Loops and Frequency Synthesis, NJ: Wiley, 2003.
7. *Gardner F.M.* Phaselock Techniques, 3rd ed., NJ: Wiley, 2005.
8. *Egan W.F.* Frequency Synthesis by Phase Lock, 2nd ed., NJ: Wiley, 1999.
9. *Best R.E.* Phase-Locked Loops: Theory, Design, and Applications, New York: McGraw-Hill, 1984.
10. *Rohde U.L.* Microwave and Wireless Synthesizers: Theory and Design, NJ: Wiley, 1997.
11. *Crawford J.A.* Advanced Phase-Lock Techniques, MA: Artech House, 2008.
12. *Chenakin A.* Frequency Synthesis: Current Status and Future Projections // Microwave Journal, April 2017, pp. 22-36.
13. *Sadowski B.* A Self-offset Phase-locked Loop, Microwave Journal, April 2008, pp. 116-124.
14. *Chenakin A.* Low Phase Noise PLL Synthesizer, US Patent No. 7,701,299, April 2010.

ARCHITECTURE SOLUTIONS FOR DESIGNING OF MICROWAVE FREQUENCY SYNTHESIZERS BASED ON PHASED LOCKED LOOP

Alexander Chenakin, Anritsu Company, Morgan Hill, CA, USA, achenakin@hotmail.com
Victor Kochemasov, Radiocomp, Moscow, Russia, vkochemasov@radiocomp.ru

Abstract

Frequency synthesizer - as a main module for modern communication systems, test-and-measurement equipment and other electronic devices - should meet certain requirements. The most important requirements include spectral purity of generated signal (low phase noise and spurs), fast switching speed and high frequency resolution (low step size). Other important characteristics include low power consumption, small size and low cost. Thus, the main design goal is selecting proper solutions to support these requirements. This article describes various architectures used to design frequency synthesizers based on phase locked loop.

Keywords: frequency synthesizer, phase locked loop, phase noise, spurs, switching speed, direct digital synthesizer

References

1. Chenakin A., Frequency Synthesizers: Concept to Product, MA: Artech House, 2010.
2. Manassewitsch V., Frequency Synthesizers: Theory and Design, NJ: Wiley, 1979.
3. Shahtarin B.I. et al., Frequency Synthesizers, Moscow: Telecom, 2007.
4. Belov L.A., Microwave Signal Generators and their Components, Moscow: MEI, 2010.
5. Shahgildyan V.V. and Lyahovkin A.A., Phase Locked Loop Systems, Moscow: Svyaz, 1972.
6. Kroupa V.F., Phase Lock Loops and Frequency Synthesis, NJ: Willey, 2003.
7. Gardner F.M., Phaselock Techniques, 3rd ed., NJ: Wiley, 2005.
8. Egan W.F., Frequency Synthesis by Phase Lock, 2nd ed., NJ: Wiley, 1999.
9. Best R.E., Phase-Locked Loops: Theory, Design, and Applications, New York: McGraw-Hill, 1984.
10. Rohde U.L., Microwave and Wireless Synthesizers: Theory and Design, NJ: Wiley, 1997.
11. Crawford J.A., Advanced Phase-Lock Techniques, MA: Artech House, 2008.
12. Chenakin A., Frequency Synthesis: Current Status and Future Projections, *Microwave Journal*, April 2017, pp. 22-36.
13. Sadowski B., A Self-offset Phase-locked Loop, *Microwave Journal*, April 2008, pp. 116-124.
14. Chenakin A., Low Phase Noise PLL Synthesizer, US Patent No. 7,701,299, April 2010.

Information about authors:

Alexander Chenakin, Director of R&D, Anritsu Company, Morgan Hill, CA, USA
Victor Kochemasov, General Director, Radiocomp, Moscow, Russia